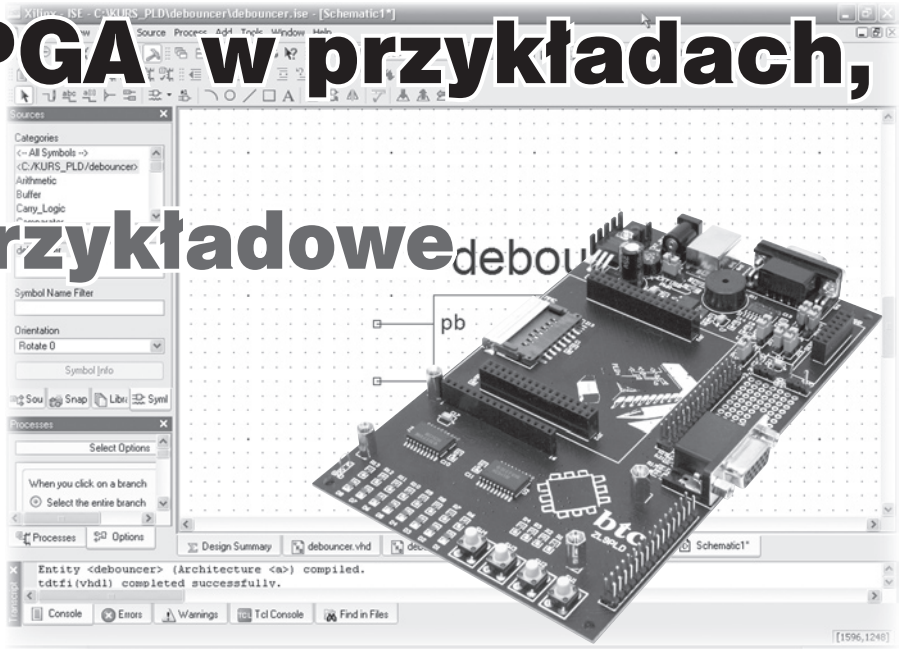
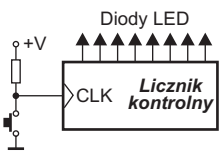
Układy FPGA w przykładach, część 5
Projekty przykładowe



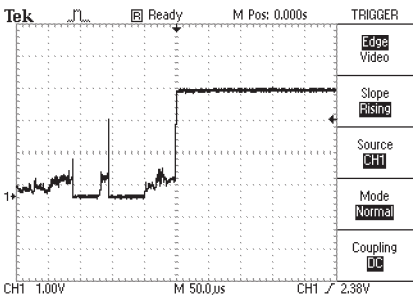
Pierwsze cztery części kursu dały nam elementarne wiadomości o architekturze układów FPGA z rodziny Spartan 3, a teraz przechodzimy do przykładowych projektów przygotowanych w języku VHDL. Pierwszy przykład wydaje się być banalny, ale bez niego trudno nam będzie zagłębić się w projekty bardziej efektowne.

Zaczynamy od projektu z gatunku podstawowych w większości typowych projektów cyfrowych m przedstawimy sposób wykonania *debouncera*, czyli układu likwidującego drgania styków mikroprzełączników dołączonych do wejść układu FPGA.

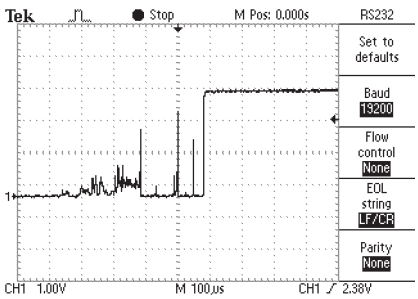
Problem likwidacji drań styków doskonale znają konstruktorzy, którzy budowali jakiekolwiek układy reagujące na liczbę naciśnięć przycisków dołączonych do wejść mikrokontrolerów lub dowolnych innych układów cyfrowych. Dobrym testem, dogłębnie pokazującym problem jaki



Rys. 1. Schemat blokowy układu umożliwiającego wykrycie drgań styków przełączników



Rys. 2. Skutki drgań styków przełącznika (jeden z przykładowych wyników rejestracji)



Rys. 3. Skutki drgań styków przełącznika (inny przykładowy wynik rejestracji napięcia na stykach przełącznika)

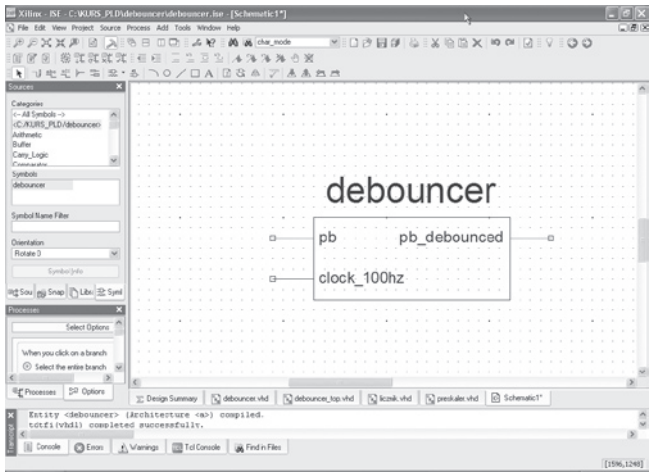
mamy do rozwiązania, jest dołączenie do wejścia zegarowego kilkubitowego licznika styków np. typowego mikroprzełącznika (**rys. 1**). Łatwo się można wtedy przekonać, że jedno naciśnięcie przycisku powoduje zmianę stanu licznika o kilka a w skrajnych przypadkach kilkanaście stanów. Na **rys. 2** i **rys. 3** pokazano dwa przykładowe przebiegi napięcia na stykach mikroprzełącznika włączonego jak pokazano na rys. 1, zdjęte za pomocą oscyloskopu cyfrowego. Liczba „przeskoczonych" przez licznik stanów podczas zdejmowania przedstawionych przebiegów była w obydwu przypadkach większa niż wynika to z oscylogramów. Jest to wynik zbyt małej rozdzielczości poziomej oscyloskopu zastosowanego do pomiarów m znaczna część „śmieci" wynikających z drgań styków oscyloskop po prostu zgubił. Nie zmienia to faktu, że przełączniki, także

www.sklep.avt.pl • www.sklep.avt.pl • www.sklep.avt.pl • www.sklep.avt.pl • www.sklep.avt.pl

Okazja dla Czytelników EP zainteresowanych układami FPGA

Zestaw sprzętowy wykorzystywany w kursie jest do dostępny do 15.03.2007 na zasadach promocyjnych. Zakup zestawu składającego się z modułów ZL9PLD (uniwersalna płytka bazowa) oraz ZL10PLD (modułu DIP z układem XC3S200 z rodziny Spartan 3 firmy Xilinx) jest premiowany programatorem ZL4PRG (odpowiednik DLC III), za pomocą którego można programować i konfigurować w systemie układy CPLD i FPGA firmy Xilinx.

www.sklep.avt.pl • www.sklep.avt.pl • www.sklep.avt.pl • www.sklep.avt.pl • www.sklep.avt.pl



Rys. 4. Symbol graficzny *debouncera*

pochodzące od renomowanych producentów, całkiem nieźle spełniają rolę generatorów impulsów quasimlosowych. Bez dodatkowych zabiegów nie da się z nich korzystać do realizacji zadań, na wynik których chcielibyśmy mieć wpływ.

Wybrany przez nas nie jest z całą pewnością najbardziej oszczędny (jeśli chodzi o zajęte zasoby sprzętowe FPGA), ale ma wiele praktycznych zalet m jedną z nich jest zachowanie czasu trwania zwarcia styków przycisku, co nie jest możliwe w wielu prostszych rozwiązaniach.

Przedstawione rozwiązanie jest VHDLmową adaptacją propozycji przedstawionej w pierwszym wydaniu książki „*Fundamentals of Digital Logic*" autorstwa Stephena Browna i Zvonko Vranesica (Kluwer 1995).

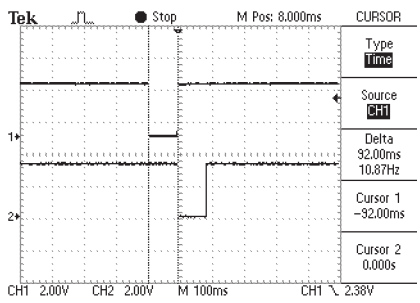
Na **rys. 4** pokazano symbol graficzny *debouncera*, którego sposób działania opisano w języku VHDL (**list. 1**). Wejście *clock_100hz* służy do podawania sygnału taktującego o częstotliwości ok. 100 Hz. Można ją oczywiście zmienić, dostosowując „czułość" *debouncera* do jakości współpracujących przełączników. Przeprowadzone próby wykazały, że zakres 60...150 Hz zapewnia poprawną obsługę także bardzo tanich (czyli niskiej jakości) mikroprzełączników.

List. 1. Opis działania debouncera w języku VHDL

```
process
  begin
    wait until (clock_100hz'event) and (clock_100hz = '1');
       shift_pb(2 downto 0) <= shift_pb(3 downto 1);
       shift_pb(3) <= pb;
    case shift_pb is
       when "0000" =>
          state <= '0';
       when "1111" =>
          state <= '1';
       when others =>
          state <= state;
    end case;
    pb_debounced <= state;
  end process;
end;
```

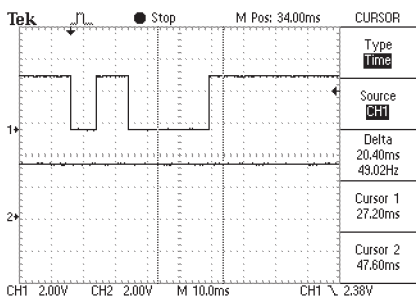
Realizacja

Możliwych sposobów sprzętowej likwidacji drgań styków jest bardzo wiele, podobnie jak ma to miejsce w rozwiązaniach programowych.



Rys. 5. Przykładowa reakcja wyjścia *debouncera* (przebieg dolny) na wciśnięcie przycisku (przebieg górny)

Kompletny projekt dla WebPacka 8.2i wraz z plikami źródłowymi opublikujemy na CDmEP3/2007B.



Rys. 6. Nawet kilka krótkich impulsów na wejściu debouncera (przebieg górny) nie wywołuje zmiany stanu na jego wyjściu (przebieg dolny)

„Odkłócanie" styków przełącznika odbywa się w 4mbitowym rejestrze przesuwającym, który co każdy takt zegara *clock_100hz* wsuwa na bit MSB stan wejścia monitorującego przełącznik (*pb*). Zmiana stanu na wyjściu *pb_debounced*, która oznacza wciśnięcie przycisku (niezależnie od tego, czy stanem „po wciśnięciu" jest logiczne 0 czy też 1), wymaga przesunięcia stanu odpowiadającego „wciśnięciu" przez cały rejestr (4 takty sygnału zegarowego), tak samo jak dzieje się po puszczeniu przycisku. Sposób działania układu powoduje, że odkłócony sygnał wyjściowy jest opóźniony względem wejściowego o czas odpowiadający 4 taktom sygnału *clock_100hz* m **rys. 5**. W przypadku, gdy czas impulsu wejściowego (ważne: nieważna jest jego polaryzacja!) jest

Plan kursu

1. Wprowadzenie
   - Budowa zestawu uruchomieniowego
   - Programowanie i konfiguracja układu XC3S200
   - Tryby konfiguracji układu XC3S200
   - Zasilanie układu XC3S200
   - Linie I/O w układzie XC3S200
   - JTAG jako uniwersalny interfejs do programowania i konfigurowania
2. Budowa, cechy funkcjonalne i parametry układów FPGA z rodziny Spartan 3
   - CLB
   - IOB
   - Globalne sygnały zegarowe
   - DCM
   - Sprzętowe multiplikatory
   - Pamięć BlockRAM
3. **Projekty przykładowe**
   - **Debouncer**
   - Klawiatura matrycowa
   - Obsługa wyświetlacza multipleksowego LED
   - Obsługa wyświetlacza LCD
   - Sterownik LCD 2x16 (prosty)
   - Sterownik LCD 2x16 (zaawansowany)
   - Komunikacja via RS232 i USB
   - Sterownik VGA
   - Implementacja mikrokontrolera PicoBlaze

List. 2. Opis VHDL „łączący" w całość *debouncer*, 8mbitowy licznik kontrolny oraz preskaler zapewniający sygnał taktujący dla *debouncera*

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity debouncer_top is port (
     clk : in  std_logic;
pbi : in  std_logic;
     pbo, clk100hz_o : out std_logic;
     ledy : inout std_logic_vector(7 downto 0)
     );
end debouncer_top;

architecture behavioral of debouncer_top is
component licznik port (
  clk: in std_logic;
  q: inout std_logic_vector(7 downto 0)
   );
end component licznik;

component debouncer port (
  clock_100hz, pb: in std_logic;
  pb_debounced: inout std_logic
   );
end component debouncer;

component preskaler port (
   clk : in  std_logic;
   q : inout  std_logic_vector (20 downto 0)
  );
end component preskaler;

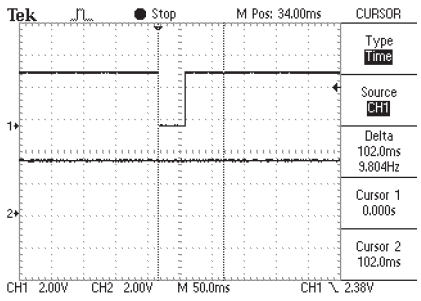
signal clk_int : std_logic;
signal q_presc_int : std_logic_vector(20 downto 0);

begin
cnt: licznik port map (
  clk  => clk_int,
  q => ledy
  );

kb_d: debouncer port map (
     pb => pbi,
     clock_100hz => q_presc_int(15), mm ok. 120 hz
     pb_debounced => clk_int
);

presc: preskaler port map (
     clk => clk,
     q => q_presc_int
);

pbo <= clk_int;
clk100hz_o <= clk_int;
end behavioral;
```



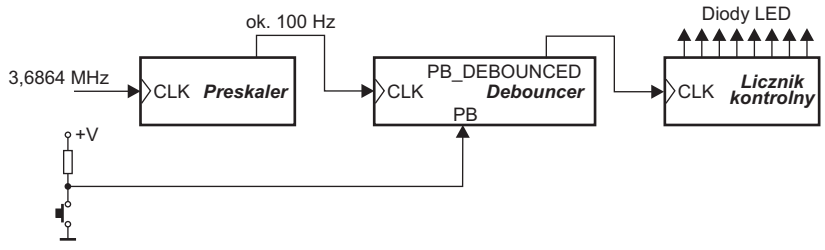
Rys. 7. *Debouncer* nie reaguje na naciśnięcia przycisku krótsze niż 4 takty sygnału zegarowego

krótszy niż 4 takty sygnału wejściowego, stan wyjścia *pb_debounced* nie zmienia się, jak to pokazano na **rys. 6** i **rys. 7**.

Implementacja

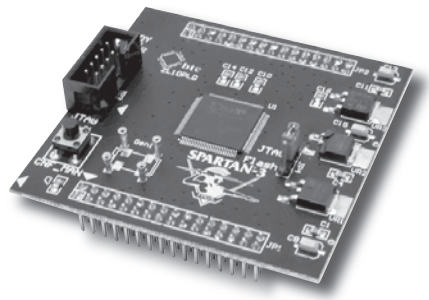
Zgodnie z zapowiedziami z poprzednich części cyklu, rozwiązanie prezentowane w artykule zostało zaimplementowane i przetestowane na zestawie składającym się z płytki bazowej ZL9PLD oraz modułu *dipPLD* ZL10PLD z układem XC3S200 z rodziny Spartan 3. Jego zasoby są tak duże, że pewna „rozrzutność" projektu (uzasadniona walorami praktycznymi!) jest praktycznie bez znaczenia.

Żeby zweryfikować faktyczne możliwości prezentowanego rozwiązania, przygotowano opis zestawu testowego, który składa się z (**rys. 8**):



Rys. 8. Schemat blokowy testera wersyfikującego poprawność działania *debouncera*

Opisy innych rozwiązań *debouncerów* w układach PLD można znaleźć między innymi:
http://microsys6.engr.utk.edu/~hendrich/project/discussion/inputmswitch/inputmswitchmvhdl.html
http://www.ecgf.uakron.edu/grover/web/ecs465/labs/pushButtonCounter.pdf
http://www.codecomments.com/archive378m2005m3m427505.html
http://www.alsemfr.com



– *debouncera*,
– preskalera, który zapewnia właściwą częstotliwość taktowania *debouncera*, która jest uzyskiwana z generatora kwarcowego 3,6864 MHz ulokowanego na płytce ZL10PLD,
– licznika pracującego w trybie NKB, który jest taktowany z wyjścia *debouncera*.

Wszystkie wymienione elementy opisano w języku VHDL i połączono w całość w sposób pokazany na **list. 2**.

Podsumowanie

Przedstawiony projekt, jakkolwiek niezbyt skomplikowany i z pewnością mało efektowny, zapewnia nam komfortową obsługę klawiatury (w ZL9PLD wykonanej na mikroprzełącznikach). Dobra jakość i stabilna praca tej części interfejsu użytkownika pozwoli nam w niedługim czasie zilustrować obsługę jego drugiej części: różnego rodzaju wyświetlaczy.

Jacek Majewski
jacek.majewski@pwr.wroc.pl
Piotr Zbysiński, EP
piotr.zbysinski@ep.com.pl